

CITATION 7.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-190408

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁸

識別記号

FI

H03H 17/00

611

H03H 17/00

611A

G10H 1/12

G10H 1/12

1/16

1/16

審査請求 未請求 請求項の数1 FD (全5頁)

(21) 出願番号

特願平8-355413

(22) 出願日

平成8年(1996)12月24日

(71) 出願人

000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者

竹内 千史

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人

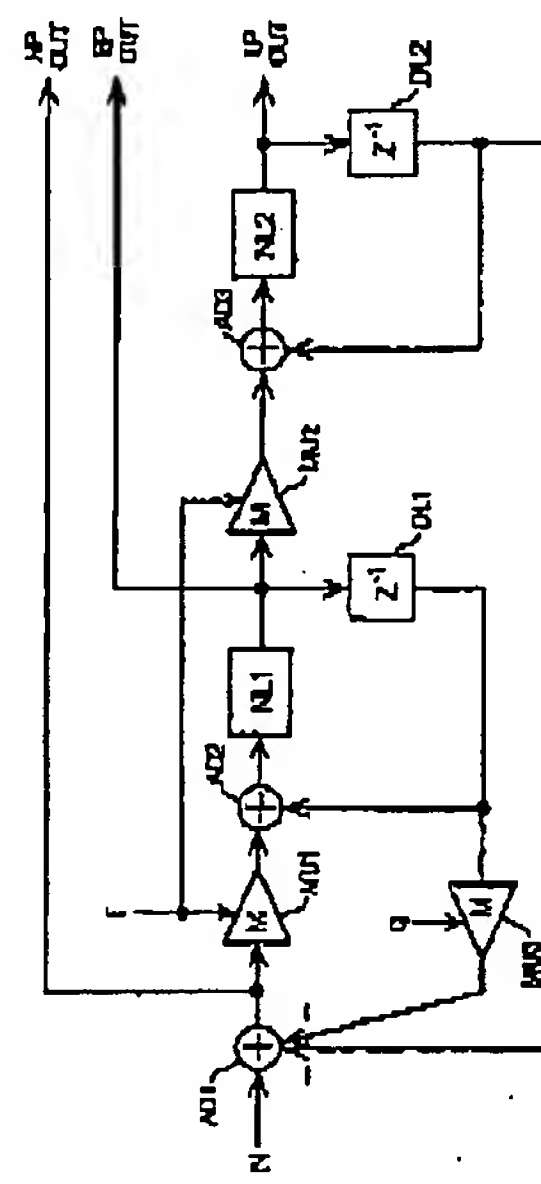
弁理士 浅見 保男 (外2名)

(54) 発明の名称 デジタルフィルタ手段

(57) 要約

【課題】 デジタルフィルタによりアナログフィルタ特有の挙動を実現する。

【解決手段】 第1の加算器AD2と1サンプリング周期遅延する第1の遅延回路DL1からなる第1の累算器内にソフトリミッタ特性の第1の非線形回路NL1を挿入する。第2の加算器AD3と1サンプリング周期遅延する第2の遅延回路DL2からなる第2の累算器内にソフトリミッタ特性の第2の非線形回路NL2を挿入する。非線形回路NL1, NL2により、加算器AD2, AD3がオーバフローリミットされても、急激にクリップされることなく適度なひずみが入力された信号に与えられるようになる。



(2)

特開平10-180408

1

2

【特許請求の範囲】

【請求項1】 ループゲインが1の累算手段を有するフィルタ手段において、
前記累算手段のループ内にソフトリミッタ特性の非線形手段が挿入されていることを特徴とするデジタルフィルタ手段。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログフィルタの特徴を備えるデジタルフィルタ手段に関するものであり、特に、楽音合成装置における音色制御用のフィルタとして用いて好適なものである。

【0002】

【従来の技術】楽音合成装置等の音色制御用フィルタとしては、VCF (Voltage Controlled Filter) が従来から用いられている。VCFにはアナログVCFとデジタルVCFとがあるが、アナログVCFには米国特許第3,475,623号として知られている梯子型LPF (Low Pass Filter) や、状態変数型マルチモードフィルタなどがある。前記梯子型LPFは、カットオフ周波数を変えるためのインピーダンス素子としてトランジスタを用いており、その非線形特性により適度なひずみが発生するようになる。さらに、増幅器の飽和特性により帯域幅が減るので、発振したときの発振レベルが適当なレベルに抑制される。このため、発振したときに発振波形と音源波形とがミキシングされ、発振周波数と、音源波形あるいはそのスペクトル成分の周波数が近接している場合は、一種の変調であるビートが生じるようになる。

$$dV/dt = (E - V) / CR$$

なる式が成立する。ただし、Eは入力電圧、Vは出力電圧である。

【0005】また、図6に示す1次デジタルLPFにおいて入力信号は減算器AD11の一方の入力端に入力され、減算器AD11の出力は乗算器MU11に入力され、係数CRが乗算される。そして、乗算器MU11の

$$H(z) = \alpha / \{1 - (1 - \alpha) Z^{-1}\}$$

となる。ただし、 $\alpha = 1/CR$ である。ここで、乗算器MU11の乗算係数はCRとされているので、図5に示す1次アナログLPFと等価なデジタルLPFが実現されていることになる。なお、遅延回路DL11はシフトレジスタにより構成することができる。

【0008】このような原理を用いて構成した状態変数型デジタルマルチモードフィルタは図3に示すようになる。この状態変数型デジタルマルチモードフィルタにおいては、入力信号INが減算器AD1の第1の入力端に入力され、減算器AD1の出力が第1の乗算器MU1に入力され、乗算係数fが乗算される。第1の乗算器MU1の出力は、第1の加算器AD2と1サンプル周期遅延する第1の遅延回路DL1からなる第1の累算器により累算される。この第1の累算器の出力は、第2の乗

*【0003】このような現象が独特の音を生み出す基となり、アナログならではの音の良さ、あるいは特徴を生み出す原因の1つとなっている。しかしながら、アナログVCFを構成しているコンデンサや抵抗は温度係数をゼロとすることが困難なため、周囲の温度変化に伴い容量値や抵抗値が変化するようになる。すなわち、周囲温度に応じてフィルタ特性が変化するという欠点を有していた。そこで、これを解決すべく特開昭61-18212号公報に記載されているように、アナログフィルタの特徴を有するようにアナログフィルタを置き換えたデジタルフィルタが知られている。このようなデジタルフィルタの例として状態変数型マルチモードデジタルフィルタの構成例を図3に示す。状態変数型フィルタは、素子の特性の変化がフィルタ特性に与える影響が小さい、いわゆる素子感度が小さいフィルタとして知られており、カットオフ周波数fcとQ (quality factor) とを独立して制御できる特徴を有している。

【0004】図3に示す状態変数型マルチモードデジタルフィルタを説明する前にアナログフィルタをデジタルフィルタに置き換える原理について、図5および図6を参照しながら説明する。図5は1次アナログLPFの構成を示しており、図6は図5に示す1次LPFをデジタルフィルタに置き換えた1次デジタルLPFの構成を示している。図5に示す1次アナログLPFにおいて、抵抗11 (抵抗値R) とコンデンサ12 (容量値C) とが直列に接続され、入力信号は抵抗11の一端から入力され、出力信号はコンデンサ12の両端から取り出されている。この1次アナログLPFにおいては、

$$\dots (1)$$

*出力は、加算器AD12と1サンプル周期遅延する遅延回路DL11からなる累算器によって累算されて、出力信号となる。また、遅延回路DL11の出力は減算器AD11の他方の入力端に入力される。このような1次デジタルLPFの伝達関数H(z)は、

$$\dots (2)$$

乗算器MU2に入力され、乗算係数fが乗算される。第2の乗算器MU2の出力は、第2の加算器AD3と1サンプル周期遅延する第2の遅延回路DL2からなる第2の累算器により累算されて、ローパス出力信号(LPOUT)となる。また、第2の遅延回路DL2の出力は減算器AD1の第2の入力端に入力されると共に、第1の遅延回路DL1の出力は第3の乗算器MU3において乗算係数qが乗算されて、減算器AD1の第3の入力端に入力される。

【0007】この状態変数型デジタルマルチモードフィルタにおいては、減算器AD1から出力するとハイパス出力(HPOUT)となり、加算器AD2から出力するとバンドパス出力(BPOUT)となる。さらに、第1の乗算器MU1および第2の乗算器MU2に設定され

(3)

特開平10-190408

3

4

る乗算係数 f を変更することにより、このフィルタのカットオフ周波数 f_c を変更することができる。さらにまた、第3の乗算器MU3に設定される乗算係数 q を変更することにより、このフィルタのQを変更することができる。

【0008】

【発明が解決しようとする課題】図3に示す状態変数型デジタルマルチモードフィルタは、アナログフィルタと同様の制御が可能であるが、加算器の出力ビット数はあらかじめ決められたビット数とされているため、加算10 入力が過大になると演算結果はオーバーフローリミットされる。この加算器の出力特性を図4に正規化して示すが、横軸は2つの入力を理想的に加算した値を示す入力であり、縦軸はオーバーフローリミットされた加算出力を示している。図4に示すように2つの入力を理想的に加算した入力が-1から1までの範囲では、加算出力は-1から1までの範囲で1:1に対応してリニアに出力される。また、2つの入力を理想的に加算した入力が-1以下および1以上の過大な範囲では、加算出力は-1あるいは1にクリップされるようになる。

【0009】このような加算器の出力特性とされると、クリップされるまでは加算器出力のひずみは生じないが、クリップされると急激にひずみが生じるようになる。また、発振した場合には発振レベルは-1~1の最大レベルまで成長し、この最大レベルまで成長した発振波形と入力された楽音波形とがミキシングされて、楽音波形が断続的にクリップされるようになる。従って、フィルタリングされた楽音波形は汚い音になり、このデジタルフィルタではアナログフィルタ特有のソフトなひずみが得られないという問題点があった。

【0010】そこで、本発明は、アナログ素子の持つ非線形要素を適切に取り入れることにより、アナログフィルタと同様の挙動を実現したデジタルフィルタ手段を提供することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明のデジタルフィルタ手段は、ループゲインが1の累算手段を有するフィルタ手段において、前記累算手段のループ内にソフトリミッタ特性の非線形手段が挿入するようにしている。

【0012】このような本発明によれば、累算手段の出力特性が、累算手段のループ内に挿入した非線形手段が有するソフトリミッタ特性の出力に応じた特性とされるため、入力された信号波形に急激にひずみが生じたり、断続的にクリップされることがなくなる。したがって、デジタルフィルタにより楽音波形をフィルタリングするようにしても、楽音波形にはアナログフィルタ特有のソフトなひずみが得られるようになる。

【0013】

【発明の実施の形態】本発明のデジタルフィルタ手段

の実施の形態の構成の一例を図1に示す。図1に示した例では、本発明のデジタルフィルタ手段は状態変数型デジタルマルチモードフィルタとされている。図1に示す状態変数型デジタルマルチモードフィルタにおいて、入力信号INは減算器AD1の第1の入力端に入力され、減算器AD1の出力が第1の乗算器MU1に入力され、乗算係数 f が乗算される。第1の乗算器MU1の出力は、第1の加算器AD2と、1サンプル周期遅延する第1の遅延回路DL1とをループ状に接続した第1の累算器により累算される。この第1の累算器内には、第1の非線形変換部NL1が挿入されて第1の加算器AD2の出力はその非線形特性に応じた非線形を有するように変換される。

【0014】この第1の非線形変換部NL1から出力される第1の累算器の出力は、第2の乗算器MU2に入力され、乗算係数 f が乗算される。第2の乗算器MU2の出力は、第2の加算器AD3と1サンプル周期遅延する第2の遅延回路DL2とをループ状に接続した第2の累算器により累算される。この第2の累算器内には、第2の非線形変換部NL2が挿入されて第2の加算器AD2の出力はその非線形特性に応じた非線形を有するように変換されて、ローパス出力信号(LPOUT)となる。また、第2の遅延回路DL2の出力は減算器AD1の第2の入力端に入力されると共に、第1の遅延回路DL1の出力は第3の乗算器MU3において乗算係数 q が乗算されて、減算器AD1の第3の入力端に入力される。

【0015】この状態変数型デジタルマルチモードフィルタにおいては、減算器AD1から出力するとハイパス出力(HPOUT)となり、第1の非線形変換部NL1から出力するとバンドパス出力(BPOUT)となる。さらに、第1の乗算器MU1および第2の乗算器MU2に設定される乗算係数 f を変更することにより、このフィルタのカットオフ周波数 f_c を変更することができる。さらにまた、第3の乗算器MU3に設定される乗算係数 q を変更することにより、このフィルタのクォリティファクターQを変更することができる。なお、第1の遅延回路DL1および第2の遅延回路DL2はシフトレジスタにより構成することができる。

【0016】次に、第1の非線形変換部NL1および第2の非線形変換部NL2の出力特性の一例を図2に示す。図2に示す出力特性は正規化して示しているが、横軸は第1の加算器AD2あるいは第2の加算器AD3からの入力であり、縦軸は非線形に変換された出力を示している。この出力特性は、入力が-0.5から0.5までの範囲においては出力が1:1に対応されたりニアな特性とされている。そして、入力が0.5を超えて1までは、関数 $-(x-1)^2+0.75$ のソフトに飽和する非線形特性とされる。また、入力が-0.5より小さく-1までは、関数 $(x+1)^2-0.75$ のソフトに飽和する非線形特性とされる。ただし、 x は入力の値を

(4)

特開平10-190408

5

6

示している。なお、第1の加算器AD2あるいは第2の加算器AD3の加算器出力特性は、前記した図4に示す特性とされている。

【0017】また、図2に示す非線形特性の傾きの最大値は、累算器を安定に動作させるために1とされる。また、原点Oの付近の傾きは、小信号レベルで累算器を正常、すなわちリニアに動作させるために1とされており、入力値xが1あるいは-1の時の傾きは、加算器AD2、AD3の出力がオーバフローした時に非線形変換部NL1、NL2の出力がハードクリップされないように0とされている。この非線形変換部NL1、NL2により、加算器AD2、AD3の出力がオーバフローしてクリップされても、非線形変換部NL1、NL2の出力はソフトリミットされた出力となる。

【0018】なお、このような適度なひずみを与える非線形変換部NL1、NL2を累算器のループ内に挿入しているのは次の理由による。非線形要素を累算器のループ外、たとえば乗算器MU1、MU2の後等に挿入した場合、非線形要素が信号を非線形変換することは、乗算器MU1、MU2の乗算係数fが変更されたことと等価になる。このため、カットオフ周波数fcが信号レベルに応じて変化するようになり、信号は依然としてハードクリップされてしまうようになる。前記したように、本発明における非線形変換部NL1、NL2は適度なひずみの付加と発振レベルの制限を行うものであるため、累算器のループ内に挿入してそのソフトリミット特性により適度なひずみの付加と発振レベルの制限をしているのである。

【0019】そして、非線形変換部NL1、NL2をそれぞれの累算器のループ内に挿入しているため、本発明のデジタルフィルタ手段において発振が生じて、その発振レベルが成長しても非線形変換部NL1、NL2の飽和特性により累算器のループゲインが1以下となる。このため、累算器の損失が増加して発振レベルが制限されるので、発振レベルはほぼ一定に抑制されるようになる。この場合、発振波形と入力された音源波形等の信号波形とがミキシングされて総合したレベルが大きくなっても、非線形変換部NL1、NL2はソフトリミット特性とされているので急激にクリップされることはなく、アナログVCFと同様の特性を実現することができる。

【0020】なお、図1に示すデジタルフィルタ手段は、状態変数型マルチモードフィルタとしているため、第1の累算器と第2の累算器とに非線形変換部NL1、NL2をそれぞれ挿入しているが、発振レベルを制限するのには、第1の累算器あるいは第2の累算器の一方に非線形変換部を挿入するだけでよい。また、本発明のデジタルフィルタ手段は、ハードで構成することができ

ることは当然のことであるが、MPU(CPU)やDSPにフィルタ用のプログラムを実行させることにより、本発明のデジタルフィルタ手段を実現するようにしてもよい。さらに、本発明のデジタルフィルタ手段は、上記説明した状態変数型マルチモードフィルタに限らず、累算手段を備えるデジタルフィルタであればどのようなデジタルフィルタにも適用することができる。

【0021】さらにまた、非線形変換部(図示したNL1、NL2など)のデジタル化については、例えば特公平7-78679号に開示されているように、テーブル参照や各種演算、あるいはそれらを複合したものをハードウェアあるいはソフトウェア化すればよい。

【0022】

【発明の効果】以上のように本発明は構成されているので、累算手段の出力特性が、累算手段のループ内に挿入した非線形手段が有するソフトリミット特性の出力に応じた飽和特性とされるため、入力された信号波形に急激にひずみが生じたり、断続的にクリップされたりすることがなくなる。したがって、デジタルフィルタにより楽音波形をフィルタリングするようにしても、楽音波形にはアナログフィルタ特有のソフトなひずみが与えられるようになり、あたかもアナログフィルタを用いたかのような音を得ることができ、本発明のデジタルフィルタ手段によりアナログフィルタの特徴を実現することができるようになる。

【図面の簡単な説明】

【図1】本発明のデジタルフィルタ手段の実施の形態の一例である状態変数型デジタルマルチモードフィルタの構成を示すブロック回路図である。

【図2】本発明のデジタルフィルタ手段における非線形変換部の出力特性の一例を示す図である。

【図3】従来のデジタルフィルタ手段の一例である状態変数型マルチモードフィルタの構成を示すブロック回路図である。

【図4】従来のデジタルフィルタ手段における加算器の出力特性を示す図である。

【図5】アナログフィルタをデジタルフィルタで実現する原理を説明するためのアナログ1次LPFの構成を示す図である。

【図6】アナログフィルタをデジタルフィルタで実現する原理を説明するためのデジタル1次LPFの構成を示す図である。

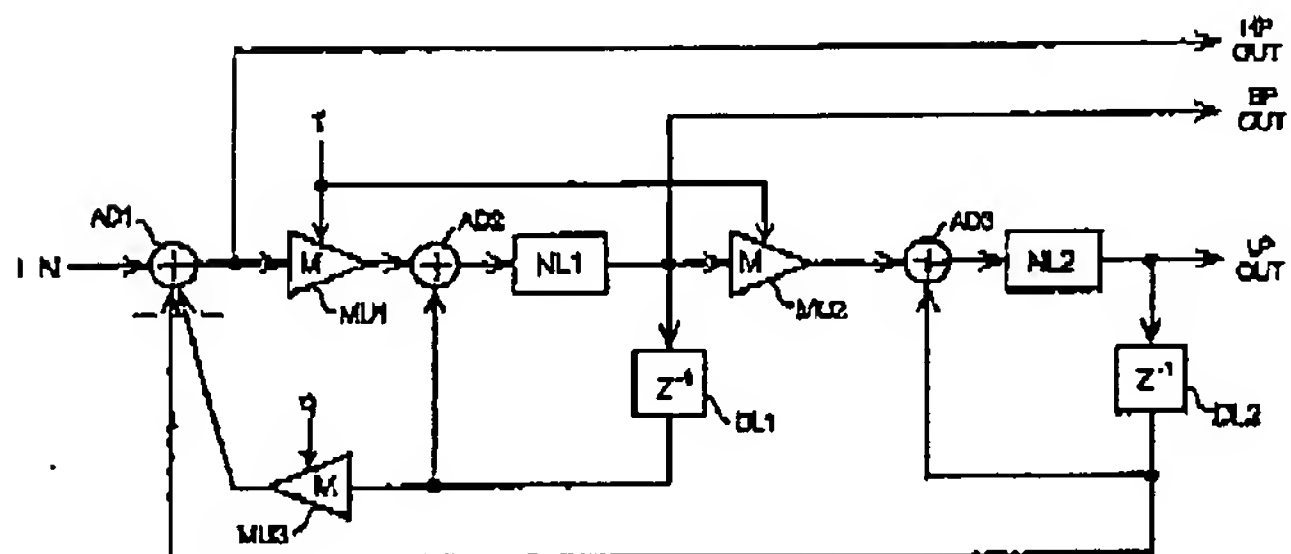
【符号の説明】

AD1 減算器、AD2、AD3 加算器、DL1、DL2 遅延回路、MU1、MU2、MU3 乗算器、NL1、NL2 非線形変換部、f、a 乗算係数

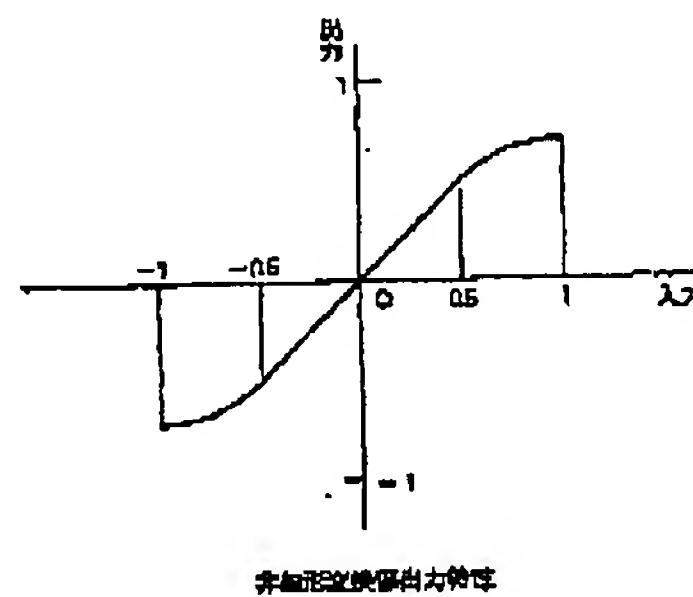
(5)

特開平 10-190408

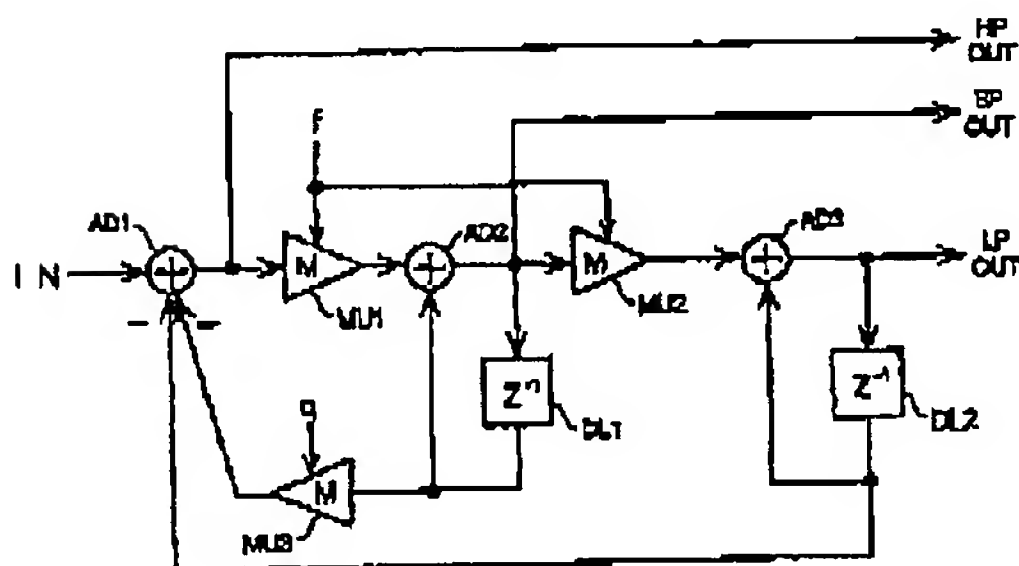
【图1】



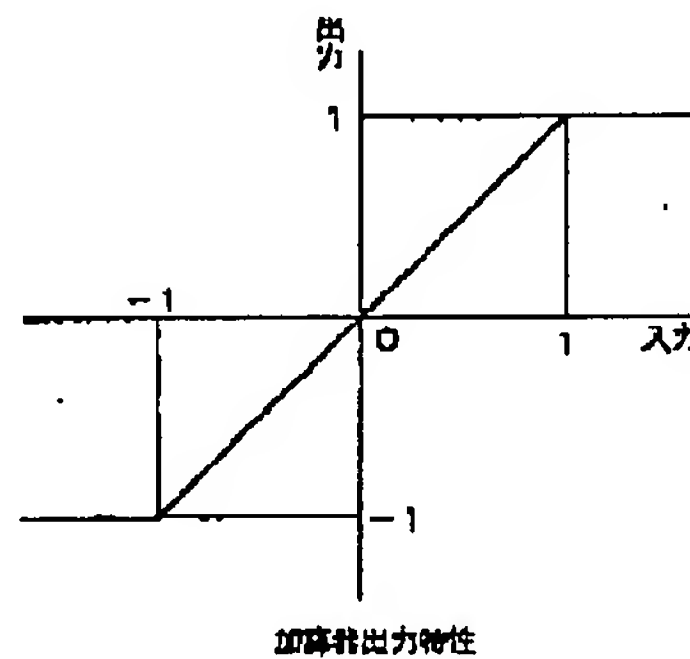
【图2】



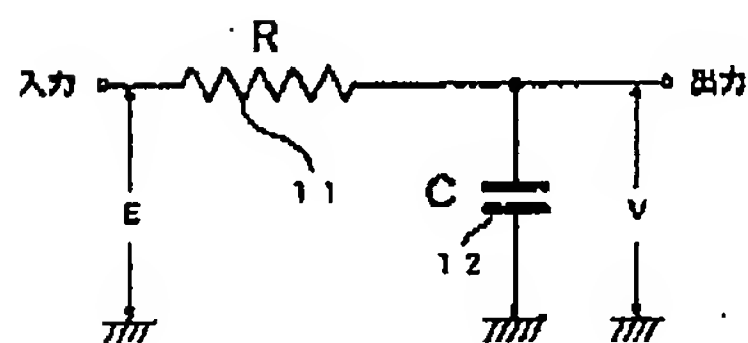
【 3 】



【圖4】



【例5】



【図8】

